

①⑨ RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①① N° de publication :

2 838 240

(à n'utiliser que pour les  
commandes de reproduction)

②① N° d'enregistrement national :

03 04137

⑤① Int Cl<sup>7</sup> : H 01 L 31/115, G 06 T 11/00

①②

## DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 03.04.03.

③① Priorité : 03.04.02 US 10115829.

④③ Date de mise à la disposition du public de la  
demande : 10.10.03 Bulletin 03/41.

⑤⑥ Liste des documents cités dans le rapport de  
recherche préliminaire : *Ce dernier n'a pas été  
établi à la date de publication de la demande.*

⑥① Références à d'autres documents nationaux  
apparentés :

⑦① Demandeur(s) : GENERAL ELECTRIC COMPANY —  
US.

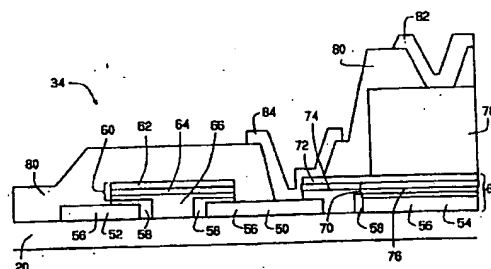
⑦② Inventeur(s) : LEE JI UNG et POSSIN GEORGE  
EDWARD.

⑦③ Titulaire(s) :

⑦④ Mandataire(s) : CASALONGA ET JOSSE.

⑤④ DETECTEUR DE RAYONNEMENT.

⑤⑦ Un détecteur de rayonnements (18) comprend un transistor à couches fines (TFT) à grille supérieure (28) comprenant une électrode de source (50), une électrode de drain (52), une électrode de grille (62), une couche diélectrique de TFT (64), une couche semi-conductrice de TFT (66), et une couche de silicium amorphe (a-Si) intrinsèque (58). Le détecteur de rayonnements comprend aussi un condensateur (68) comprenant une première électrode (54), une seconde électrode (72) sensiblement coplanaire avec l'électrode de grille, et un diélectrique de condensateur (70), le diélectrique de condensateur comprenant une couche diélectrique de condensateur (74) sensiblement coplanaire avec la couche diélectrique de TFT, une couche semi-conductrice de condensateur (76) sensiblement coplanaire avec la couche semi-conductrice de TFT, et une couche d'a-Si de condensateur sensiblement coplanaire avec la couche d'a-Si de TFT.



FR 2 838 240 - A1



### Réseau d'imagerie et procédé de fabrication de celui-ci

5 La présente invention concerne globalement les réseaux d'imagerie, et plus particulièrement, les formations de pixels pour les réseaux d'imagerie.

Les réseaux d'imagerie comprennent habituellement un réseau photodétecteur couplé à un milieu scintillant. Le rayonnement absorbé dans le scintillateur génère des photons optiques qui à leur tour passent dans un photodétecteur, comme une photodiode. Le photon est absorbé dans le  
10 photodétecteur et un signal électrique correspondant à un flux de photons incident est généré. Du silicium amorphe hydrogéné (a-Si:H) est habituellement utilisé dans la fabrication de photodétecteurs du fait des caractéristiques photoélectriques avantageuses de l'a-Si:H et de la facilité relative de fabrication de tels dispositifs. En particulier, des éléments  
15 photosensibles, comme des photodiodes, peuvent être formés en connexion avec des éléments de commutation ou de commande nécessaires, comme des transistors à couches minces (TFT), dans un réseau relativement grand. Des détecteurs de rayonnement et les réseaux d'affichage sont habituellement fabriqués sur un grand substrat sur lequel de nombreux composants,  
20 comprenant des TFT, des lignes d'adressage, des condensateurs, et des dispositifs tels que des photodétecteurs, sont formés par le dépôt et le dessin de couches de matériaux conducteurs, semi-conducteurs et isolants.

Au moins un processus de fabrication connu pour un tel réseau de TFT comprend la fabrication d'un TFT à grille de fond et de lignes d'adressage de  
25 balayage et de données. Dans quelques grilles de fond de TFT, le métal de grille de fond protège une région de canal, c'est à dire agit comme un élément de blocage de lumière, bloquant le retour de lumière. La couche de blocage de lumière est souhaitable puisque des photons peuvent créer des fuites indésirables dans le TFT. Par exemple, dans un panneau numérique à rayon X,  
30 la lumière est créée par le scintillateur qui est déposé sur le haut des dispositifs, aussi les régions de TFT sont directement exposées aux photons. Par conséquent, une couche de blocage de lumière supplémentaire, nécessitant un niveau de photolithographie supplémentaire, est donc nécessaire pour protéger la région de canal de TFT de la lumière indésirable.

Dans un aspect de l'invention, un détecteur de rayonnements est prévu. Le détecteur de rayonnements comprend un transistor à couches minces (TFT) à grille supérieure comprenant une électrode source, une électrode de drain, une électrode de grille, une couche diélectrique de TFT, une couche semi-conductrice de TFT, et une couche de silicium amorphe (a-Si) intrinsèque. Le détecteur de rayonnement comprend aussi un condensateur comprenant une première électrode, une seconde électrode sensiblement coplanaire avec l'électrode de grille, et un diélectrique de condensateur, le diélectrique de condensateur comprenant une couche diélectrique de condensateur sensiblement coplanaire avec la couche diélectrique de TFT, une couche semi-conductrice de condensateur sensiblement coplanaire avec la couche semi-conductrice de TFT, et une couche d'a-Si de condensateur sensiblement coplanaire avec la couche d'a-Si de TFT.

Dans un autre aspect, un procédé pour fabriquer un détecteur de rayonnements est proposé. Le procédé comprend de former un transistor à couches minces (TFT) à grille supérieure comprenant une électrode de source, une électrode de drain, une électrode de grille, une couche diélectrique de TFT, une couche semi-conductrice de TFT, et une couche d'a-Si, et de former un condensateur comprenant une première électrode, une seconde électrode sensiblement coplanaire avec l'électrode de grille, et un diélectrique de condensateur, le diélectrique de condensateur comprenant une couche diélectrique de condensateur sensiblement coplanaire avec la couche diélectrique de TFT, une couche semi-conductrice de condensateur sensiblement coplanaire avec la couche semi-conductrice de TFT, et une couche d'a-Si de condensateur sensiblement coplanaire avec la couche d'a-Si de TFT.

Dans encore un autre aspect, un système d'imagerie comprenant une source de rayonnements et un détecteur de rayonnements est proposé. Le détecteur de rayonnements comprend un transistor à couches minces (TFT) à grille supérieure comprenant une électrode de source, une électrode de drain, une électrode de grille, une couche diélectrique de TFT, une couche semi-conductrice de TFT, et une couche de silicium amorphe (a-Si) intrinsèque. Le détecteur de rayonnement comprend aussi un condensateur comprenant une

première électrode, une seconde électrode sensiblement coplanaire avec l'électrode de grille, et un diélectrique de condensateur, le diélectrique de condensateur comprenant une couche diélectrique de condensateur sensiblement coplanaire avec la couche diélectrique de TFT, une couche semi-conductrice de condensateur sensiblement coplanaire avec la couche semi-conductrice de TFT, et une couche d'a-Si de condensateur sensiblement coplanaire avec la couche d'a-Si de TFT.

Dans encore un autre aspect de l'invention, un procédé pour fabriquer un détecteur de rayonnements est proposé. Le procédé comprend, le fait de former une seconde électrode de condensateur et une électrode de grille dans une seule étape de processus, de former une couche de diélectrique de condensateur et de diélectrique de TFT dans une seule étape de processus, et de former une couche semi-conductrice de condensateur et une couche semi-conductrice de TFT dans une seule étape de processus.

La figure 1 est un dessin d'un système d'imagerie.

La figure 2 est une illustration schématique d'un pixel représentatif dans un réseau de photodétecteurs.

La figure 3 est une vue en coupe d'une partie d'un pixel d'un détecteur de rayonnements.

La figure 4 est une vue en coupe d'une partie du pixel montrée sur la figure 3 pendant une étape de fabrication initiale.

La figure 5 est une vue en coupe d'une partie du pixel montrée sur la figure 3 pendant une première étape de fabrication suivante.

La figure 6 est une vue en coupe d'une partie du pixel montrée sur la figure 3 pendant une seconde étape de fabrication suivante.

La figure 7 est une vue en coupe d'une partie du pixel montrée sur la figure 3 pendant une troisième étape de fabrication suivante.

La figure 8 est une vue en coupe d'une partie du pixel montrée sur la figure 3 pendant une quatrième étape de fabrication suivante.

La figure 9 est une vue en coupe d'une partie du pixel montrée sur la figure 3 pendant une cinquième étape de fabrication suivante.

La figure 10 est une vue en coupe, d'une variante de mode de réalisation, d'une partie d'un pixel d'un détecteur de rayonnements.

La figure 1 représente un système d'imagerie 10. Dans un mode de réalisation le système d'imagerie 10 est un système d'imagerie médical, comme, par exemple, un Sennovision 2000D qui est commercialement disponible auprès de GE Medical Systems de General Electric Corporation, Milwaukee, Wisconsin, avec le détecteur de rayonnements tel que décrit ci-dessous. Le système d'imagerie 10 comprend une source de rayonnements 12 qui projette un faisceau conique. Dans un mode de réalisation, la source de rayonnements 12 est une source de rayons X, et le faisceau conique est un faisceau de rayons X. Le faisceau de rayons X passe à travers un objet 14, c'est à dire un objet à imager comme un patient. Le faisceau de rayons X, après avoir été atténué par l'objet 14, arrive sur un détecteur de rayonnements 16.

La figure 2 est un détecteur de rayonnements 18 qui peut être utilisé avec un système d'imagerie 10 (montré sur la figure 1). Le détecteur de rayonnements 18 comprend un substrat 20 sur lequel un réseau de pixels 22 (parfois appelé réseau de photodétecteurs) est disposé. Le réseau de photodétecteurs 22 comprend une pluralité de composants électroniques, comme des condensateurs 24, des photodiodes 26, et des dispositifs de commutation 28, comme des TFT. Les TFT 28 sont disposés sur le réseau 22 pour coupler sélectivement un condensateur 24 et une photodiode 26 respectifs à une ligne de données respective 30. Le réseau de photodétecteurs 22 comprend aussi une pluralité de lignes de balayage 32 pour adresser une pluralité de pixels individuels 34. Les lignes de données 30 sont orientées le long d'un premier axe 36 du réseau de pixels 22, et les lignes de balayage 32 sont orientées le long d'un second axe 38 du réseau de pixels 22. Les premier et second axes, 36 et 38, du réseau de pixels 22, sont disposés sensiblement perpendiculaires l'un à l'autre.

Pour faciliter l'illustration sur la figure 2, seules quelques lignes de données 30, lignes de balayage 32, et lignes communes 40 sont représentées s'étendant à travers le réseau de photodétecteurs 22. Les lignes de données 30, les lignes de balayage 32, et les lignes communes 40 sont agencées en lignes et en colonnes de telle manière que les pixels individuels 34 dans le réseau de photodétecteurs 22 sont adressables par une ligne de données 30, une ligne de balayage 32, et une ligne commune 40. Dans un mode de réalisation, les lignes

de données 30, les lignes de balayage 32, et les lignes communes 40 comprennent un matériau conducteur, comme du molybdène, du chrome, et/ou de l'aluminium. Les condensateurs 24 sont en contact électriquement avec les photodiodes 26, et sont électriquement couplés aux lignes de données 30 par l'intermédiaire des TFT 28. Les photodiodes 26 comprennent une partie active du réseau 22 qui est sensible aux photons incidents et produit des signaux électriques correspondant à une lumière incidente détectée. Une énergie de rayons X est convertie en énergie de lumière visible en passant à travers une couche de substance luminescente (non montrée), comme de l'iodure de césium, qui est disposée près de la surface des photodiodes 26. Les condensateurs 24 stockent une charge générée dans la photodiode 26 et déchargent cette charge stockée à travers le TFT 28 quand la ligne de balayage 32 est adressée.

La figure 3 est une vue en coupe d'une partie de pixel 34 formée sur le substrat 20. Dans un mode de réalisation typique, toutes les couches semi-conductrices et les couches diélectriques décrites ici sont déposées par dépôt chimique en phase vapeur assisté par plasma (PECVD). Le pixel 34 comprend une électrode de source 50, une électrode de drain 52, et une première électrode de condensateur 54 formée à partir d'une première couche métallique 56, s'étendant au-dessus d'une surface du substrat 20. La première couche métallique 56 est formée de telle manière que l'électrode de drain 52 et la ligne de données 30 (montrée sur la figure 2) sont formées unitairement, et l'électrode de source 50, l'électrode de drain 52, et la première électrode de condensateur 54 sont approximativement d'égale épaisseur. Une couche d'a-Si intrinsèque, dopé n, et formée sur et entre les électrodes de source/drain 50, et 52, et sur et adjacente à la première électrode de condensateur 54. Le terme "formé" utilisé ici comprend les processus de fabrication de chaque composant du pixel 34, comprenant, notamment, le dessin, le masquage, le dépôt, et la gravure.

Un bloc de TFT 60 est formé au-dessus de et entre la couche d'a-Si 58 et sur le substrat 20. Le terme "bloc de TFT" utilisé ici fait référence à une électrode de grille de TFT 62 s'étendant au-dessus d'une surface d'une couche diélectrique de TFT 64 qui s'étend au-dessus d'une surface d'une couche de matériau semi-conducteur de TFT 66, comme du silicium amorphe

intrinsèque. Dans un mode de réalisation, l'électrode de grille 62 est formée unitairement avec la ligne de balayage 32 (montrée sur la figure 2). Un condensateur de stockage 68 comprend une première électrode de condensateur de stockage 54, un diélectrique de condensateur 70 et une  
5 seconde électrode de condensateur 72 s'étendant au-dessus d'une surface d'une couche diélectrique de condensateur 74. Dans un mode de réalisation, le diélectrique de condensateur 70 comprend une couche diélectrique de condensateur 74 s'étendant au-dessus d'une surface d'une couche de matériau semi-conducteur de condensateur 76, comme du silicium amorphe intrinsèque,  
10 s'étendant au-dessus d'une surface d'une couche d'a-Si intrinsèque, dopée n, dans lequel la couche d'a-Si 58 s'étend au-dessus d'une surface de, et adjacente à, la première électrode de condensateur 54. Dans une variante de mode de réalisation, le diélectrique de condensateur 70 comprend une couche diélectrique de condensateur 74 s'étendant au-dessus d'une surface d'une  
15 couche de matériau semi-conducteur 76, comme du silicium amorphe intrinsèque.

Un bloc de diode 78 est formé sur la seconde électrode de condensateur 72. Dans un mode de réalisation, le bloc de diode 78 comprend une diode PIN (non montrée). La diode PIN comprend une couche de matériau  
20 p+ déposée sur une couche d'a-Si intrinsèque qui est déposée sur une couche de matériau n+. Une couche de passivation 80 est formée au-dessus du bloc de diode 78 et de parties exposées de l'électrode de grille 62, l'électrode de source 50, l'électrode de drain 52, la seconde électrode de condensateur 72 et le substrat 20. Un trou d'interconnexion commun 82 et un trou d'interconnexion  
25 de source 84 sont formés de telle manière que le trou d'interconnexion commun 82 est électriquement connecté au bloc de diode 78 et le trou d'interconnexion de source 84 est électriquement connecté à l'électrode de source 50 et à la seconde électrode de condensateur 72.

Les figures 4 et 5 sont des vues en coupe d'une partie du pixel 34 montrée sur la figure 3 pendant respectivement une étape de fabrication initiale  
30 et une première étape de fabrication suivante. Les couches diélectriques et semi-conductrices sont déposées par dépôt chimique en phase vapeur assisté par plasma (PECVD).

Dans un mode de réalisation, la première couche métallique 56 est déposée, en une seule étape de métallisation, sur le substrat 20. pendant la métallisation, un matériau métallique est déposé par pulvérisation ou est déposé par vaporisation d'une fine couche de matériau métallique. En variante, le matériau métallique est déposé autrement que par pulvérisation ou vaporisation. La première couche métallique 56 peut comprendre, notamment, de l'aluminium, du chrome, et/ou du molybdène. La première couche métallique 56 est dessinée et gravée pour exposer les électrodes de source/drain 50, 52 et la première électrode de condensateur 54. Un processus de dessin comprend, notamment, le dépôt de photorésistant, l'exposition de photorésistant selon un dessin souhaité, et le traitement du photorésistant pour en enlever des parties, laissant un masque ayant un dessin souhaité correspondant aux dimensions souhaitées.

Dans un mode de réalisation, une couche d'a-Si dopée n 58 est déposée sur les électrodes de source/drain 50, 52 et la première électrode de condensateur 54. La couche d'a-Si dopée n 58 est formée et gravée avant de déposer une couche de matériau semi-conducteur d'a-Si sensiblement intrinsèque 66 (montrée sur la figure 3). La couche d'a-Si dopée n 58 renforce l'injection d'électrons souhaitable et supprime l'injection de trous indésirable dans la couche semi-conductrice 66. Dans un mode de réalisation, l'épaisseur d'une couche d'a-Si 58 se situe entre environ 100 angströms (Å) et approximativement 400 Å. Dans un autre mode de réalisation, la couche d'a-si 58 a environ une épaisseur de 400 Å. Dans encore un autre mode de réalisation, la couche d'a-si 58 a entre approximativement 200 Å et approximativement 600 Å d'épaisseur.

Les figures 6 et 7 sont des vues en coupe d'une partie de pixel 34 montrée sur la figure 3 pendant respectivement les seconde et troisième étapes de fabrication suivantes. Une couche de matériau semi-conducteur 90 est déposée sur une couche d'a-Si 58. La couche de matériau semi-conducteur 90 n'est pas gravée à ce moment. Dans un mode de réalisation, l'épaisseur de la couche de matériau semi-conducteur 90 est entre approximativement 100 Å et approximativement 3000 Å. Dans un autre mode de réalisation, la couche de matériau semi-conducteur 90 a approximativement 500 Å d'épaisseur. Dans encore un autre mode de réalisation, la couche de matériau semi-conducteur 90



a entre approximativement 300 Å et approximativement 700 Å d'épaisseur. La couche de matériau semi-conducteur 90 peut comprendre, notamment, du silicium amorphe intrinsèque.

5 Une couche diélectrique 92 est déposée sur la couche de matériau semi-conducteur 90. La couche diélectrique 92 n'est pas gravée à ce moment. Dans un mode de réalisation, l'épaisseur de la couche diélectrique 92 est située entre approximativement 1000 Å et approximativement 4000 Å. Dans un autre mode de réalisation, la couche diélectrique 92 a approximativement 2500 Å d'épaisseur. Dans encore un autre mode de réalisation, la couche diélectrique 10 92 a entre approximativement 1500 Å et approximativement 3500 Å d'épaisseur. La couche diélectrique 92 peut comprendre, notamment, du SiN.

Une seconde couche métallique 94 est déposée sur la couche diélectrique 92. Dans un mode de réalisation, l'épaisseur de la seconde couche métallique 94 est située entre approximativement 500 Å et approximativement 15 5000 Å. Dans un autre mode de réalisation, la seconde couche métallique 94 a approximativement 2500 Å d'épaisseur. Dans encore un autre mode de réalisation, la seconde couche métallique 94 a entre approximativement 1500 Å et approximativement 3500 Å d'épaisseur. La seconde couche métallique 94 peut comprendre, notamment, du molybdène, de l'aluminium, 20 et/ou du chrome.

Un bloc de diode 78 est déposé sur la seconde électrode de condensateur 72 sans l'intervention d'une étape de dessin. Dans un mode de réalisation, le bloc de diode 78 comprend une couche p+, une couche sensiblement intrinsèque, et une couche d'a-Si n+. Dans une variante de mode 25 de réalisation une quatrième couche de contact supérieure conductrice transparente (non montrée) fait partie du bloc de diode 78. Dans un mode de réalisation, le contact supérieur de diode peut comprendre notamment un conducteur transparent comme de l'oxyde d'étain et d'indium (ITO). Le bloc de diode 78 est dessiné et gravé. Le même masque peut être utilisé pour d'abord la 30 gravure humide, ou en variante, la gravure sèche du contact supérieur de diode, puis la gravure sèche du bloc de diode 78. En variante, deux étapes de masquage séparées peuvent être utilisées pour définir le contact supérieur de diode, plus petit que le bloc de diode 78, suivi par le dessin et la gravure du bloc de diode 76.

La couche de matériau semi-conducteur 90, la couche diélectrique 92, et la seconde couche métallique 94 sont dessinées et gravées pour former un bloc de TFT 60 et une partie 96 d'un condensateur de stockage 68. Le processus de gravure s'arrête quand la première couche métallique 56 est contactée. Dans un mode de réalisation, le bloc de TFT 60 comprend une électrode de grille de TFT 62 qui est sensiblement coplanaire avec la seconde électrode de condensateur 72 et formée dans la même étape du processus à partir de la même métallisation, une couche diélectrique de TFT 64 qui est sensiblement coplanaire avec la couche diélectrique de condensateur 74 et formée dans la même étape du processus à partir des mêmes couches déposées, et une couche de matériau semi-conducteur de TFT 66 qui est sensiblement coplanaire avec la couche de matériau semi-conducteur 76 et formée dans la même étape du processus et à partir du même matériau semi-conducteur. Dans un mode de réalisation, l'électrode de grille 62 facilite le blocage de la lumière venant d'une région de TFT active.

Les figures 8 et 9 sont des vues en coupe d'une partie de pixel 34 montrée sur la figure 3 pendant respectivement les quatrième et cinquième étapes de fabrication suivantes. Pendant la fabrication une couche de passivation 100 est déposée au-dessus du pixel 34. La couche de passivation 100 est gravée pour exposer le bloc de diode 78, la seconde électrode de condensateur 72, et l'électrode de source 50. Dans un mode de réalisation, l'épaisseur de la couche de passivation 100 a entre approximativement 0,5 microns ( $\mu\text{m}$ ) et approximativement 1,5  $\mu\text{m}$  d'épaisseur. Dans un autre mode de réalisation, la couche de passivation 100 a approximativement 1  $\mu\text{m}$  d'épaisseur. Dans encore un autre mode de réalisation, la couche de passivation 100 a entre approximativement 0,8  $\mu\text{m}$  et approximativement 1,2  $\mu\text{m}$  d'épaisseur. La couche de passivation 100 comprend, notamment, du nitrure de silicium et de l'oxyde de silicium. La couche de passivation 100 facilite la protection d'une pluralité de parois latérales de diodes 102 contre les détériorations chimiques et mécaniques lors du traitement qui suit. La couche de passivation 100 est gravée et une troisième couche métallique 104 est déposée sur le pixel 34 pour former un trou d'interconnexion commun 82 et un trou d'interconnexion de source 84. Un trou d'interconnexion commun 82 et un trou d'interconnexion de source 84 sont formés en une étape de gravure pour

fournir un passage d'accès à travers une partie de la couche de passivation 100 (c'est à dire que le trou d'interconnexion commun 82 et le trou d'interconnexion de source 84 sont entourés de tous côtés par les parties restantes de la couche de passivation 100) de telle manière que le contact électrique peut être fait avec les composants sous-jacents. Finalement, une  
5 couche diélectrique d'arrêt (non montrée) est déposée au-dessus du pixel 34, dessinée et gravée, pour exposer des plots de contact à des lignes de balayage 32 (montrées sur la figure 2), à des lignes communes 40 (montrées sur la figure 2), et à des lignes de données 30 (montrées sur la figure 2) sur un bord  
10 du réseau 18 (montré sur la figure 2). La couche diélectrique d'arrêt peut comprendre, notamment, du nitrure de silicium.

La figure 10 est une vue en coupe, d'une variante de mode de réalisation, d'une partie d'un pixel 34 d'un détecteur de rayonnements. Les couches diélectriques et semi-conductrices sont déposées par dépôt chimique  
15 en phase vapeur assisté par plasma (PECVD). Dans un mode de réalisation, une couche d'oxyde d'étain et d'indium (ITO) 200 est déposée en une seule étape de masquage sur le substrat 202. Dans un mode de réalisation, une fine couche d'a-Si n<sup>+</sup> est utilisée pour former un contact ohmique. Un contact ohmique facilite la fourniture de porteurs de charges à un semi-conducteur à  
20 une vitesse déterminée par le transfert de charges à travers le semi-conducteur et non par les propriétés du contact lui-même, ainsi, le courant est limité par la conductivité du semi-conducteur et non par le contact. La couche d'ITO 200 est dessinée et gravée pour exposer les électrodes de source/drain 204, 206, et la première électrode de condensateur 208. L'électrode de source 204 et  
25 l'électrode de drain 206, sont traitées sélectivement avec un dopant de silicium (non montré) comme, par exemple, du plasma de phosphine, avant de déposer une couche d'a-Si. Le dopant de silicium réagit avec une électrode de source 204 et une électrode de drain 206 pour incorporer sélectivement un matériau luminescent 210 sur la surface de l'électrode de source 204 et de l'électrode de  
30 drain 206, et modifier ainsi le comportement électrique des TFT 28 (montrés sur la figure 2) et améliorer le contact ohmique entre les électrodes de source/drain 204, et 206.

Dans un mode de réalisation typique, le pixel 34 peut être fabriqué suivant les étapes de fabrication décrites ici, et bloquer efficacement la lumière

incidente venant du haut de la région de TFT active. Dans ce type d'application la source principale de lumière provient du scintillateur à rayons X sur le haut du réseau 22. En outre, le pixel 34 comprend les améliorations suivantes. La structure de TFT facilite un rendement amélioré parce qu'elle a un canal arrière bien passivé. Le pixel 34 comprend aussi un condensateur 68 avec jusqu'à  
5       approximativement trois fois la capacité de stockage de la capacité propre d'une diode PIN à a-Si typique. Un diélectrique de croisement de lignes de données/balayage est un diélectrique épais qui est aussi utilisé pour passiver la paroi latérale de diode 102, et réduire la capacité de croisement et le piégeage  
10       de charge de croisement. Le diélectrique de passivation de diode peut être épais et optimisé pour la fonction de passivation, et aussi fonctionner comme un diélectrique inter-niveaux. Le sandwich FET (Si intrinsèque, diélectrique de grille, métal de grille) et les couches de diode PIN peuvent être disposés séquentiellement sans faire intervenir des étapes de nettoyage ou de dessin. La  
15       couche épaisse de passivation de diode adoucit les redans de bus d'électrode commune sur la paroi latérale de diode 102. L'arrêt de gravure de contact métallique de fond pour l'îlot de diode peut être un métal fin comme du chrome parce qu'il n'a pas besoin de fournir un chemin de résistance moindre vers les bords du réseau pour les lignes de balayage et de données. L'utilisation  
20       d'un métal fin comme le chrome élimine le besoin d'une métallisation plus épaisse et plus complexe comme un métal de grille Cr/Mo/Cr utilisé dans un processus antérieur de masque réduit. La troisième couche métallique 104, qui forme la ligne de données 30 et le trou d'interconnexion commun 82, peut être épaisse puisqu'elle ne forme pas l'espace source-drain du TFT, facilitant ainsi  
25       une réduction de la résistance de la ligne de données 30. Finalement, le fil d'interconnexion du pixel 30 peut être sur le niveau supérieur du pixel 30 simplifiant la réparation et le retraitement.

## REVENDICATIONS

1. Détecteur de rayonnements (18) comprenant :

5 un transistor à couches minces (TFT) à grille supérieure (28) comprenant une électrode de source (50), une électrode de drain (52), une électrode de grille (62), une couche diélectrique de TFT (64), une couche semi-conductrice de TFT (66), et une couche de silicium amorphe (a-Si) intrinsèque (58) ; et

10 un condensateur (68) comprenant une première électrode (54), une seconde électrode (72) sensiblement coplanaire avec ladite électrode de grille, et un diélectrique de condensateur (70), ledit diélectrique de condensateur comprenant une couche diélectrique de condensateur (74) sensiblement coplanaire avec ladite couche diélectrique de TFT, une couche semi-conductrice de condensateur (76) sensiblement coplanaire avec ladite couche  
15 semi-conductrice de TFT, et une couche d'a-Si de condensateur sensiblement coplanaire avec ladite couche d'a-Si de TFT.

2. Détecteur de rayonnements (18) selon la revendication 1 dans lequel ledit détecteur de rayonnements comprend en outre une diode (78) électriquement couplée au dit condensateur (68).

20 3. Détecteur de rayonnements (18) selon la revendication 2 dans lequel ledit TFT (28) comprend en outre un trou d'interconnexion de source (84) électriquement couplé à ladite électrode de source (50) et un trou d'interconnexion commun (82) électriquement couplé à ladite diode (78).

25 4. Détecteur de rayonnements (18) selon la revendication 1 dans lequel ladite électrode de drain (52) et une ligne de données (30) sont formées unitairement, ladite électrode de grille (62) et une ligne de balayage (32) sont formées unitairement, ledit trou d'interconnexion commun (82) et une ligne commune (40) sont formés unitairement.

30 5. Détecteur de rayonnements (18) selon la revendication 1 dans lequel ladite électrode de source (50), ladite électrode de drain (52), et ladite première électrode de condensateur (54), comprennent un matériau chromé, ladite couche diélectrique de condensateur (74) et ladite couche diélectrique de TFT (64) comprennent du nitrure de silicium, ladite couche semi-conductrice de

condensateur (76) et ladite couche semi-conductrice de TFT (66) comprennent du silicium amorphe intrinsèque, ladite couche d'a-Si de condensateur (58) et ledit a-Si de TFT comprennent du silicium amorphe intrinsèque dopé n.

- 5 6. Détecteur de rayonnements (18) selon la revendication 1 dans lequel ladite couche d'a-Si de condensateur (58) et ladite couche d'a-Si de TFT ont chacune approximativement 400 angströms (Å) d'épaisseur, ladite couche semi-conductrice de condensateur (76) et ladite couche semi-conductrice de TFT (66) ont chacune approximativement 500 angströms (Å) d'épaisseur, ladite couche diélectrique de TFT (64) et ladite couche diélectrique de  
10 condensateur (74) ont approximativement 2500 angströms (Å) d'épaisseur.

1/5

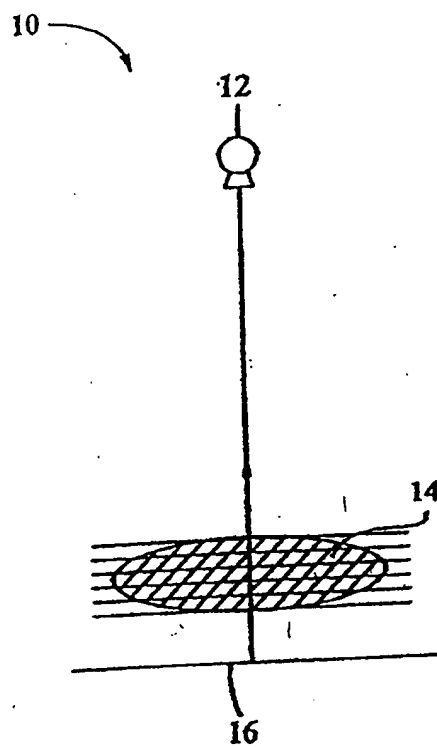


FIG. 1

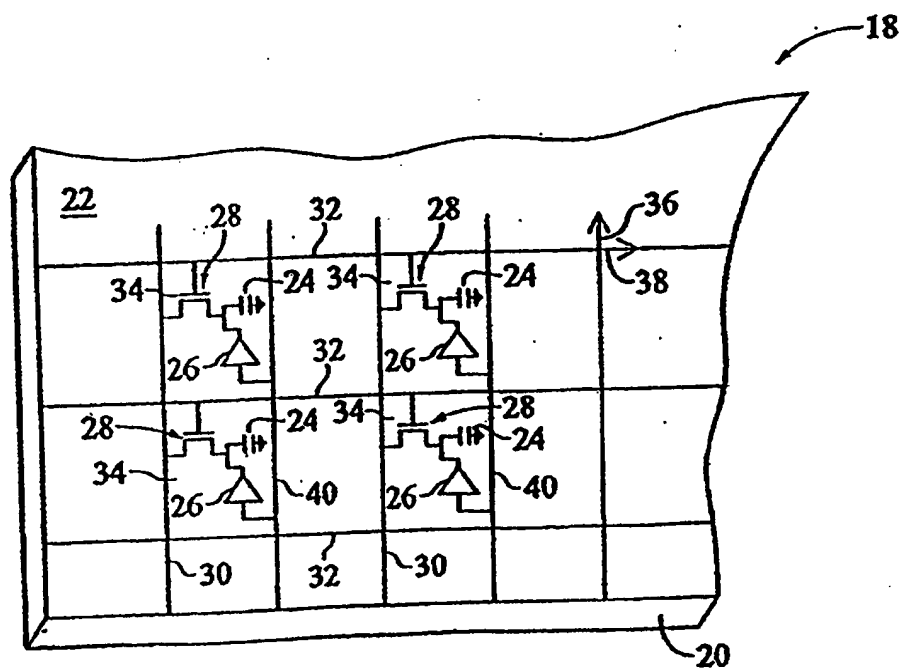


FIG. 2

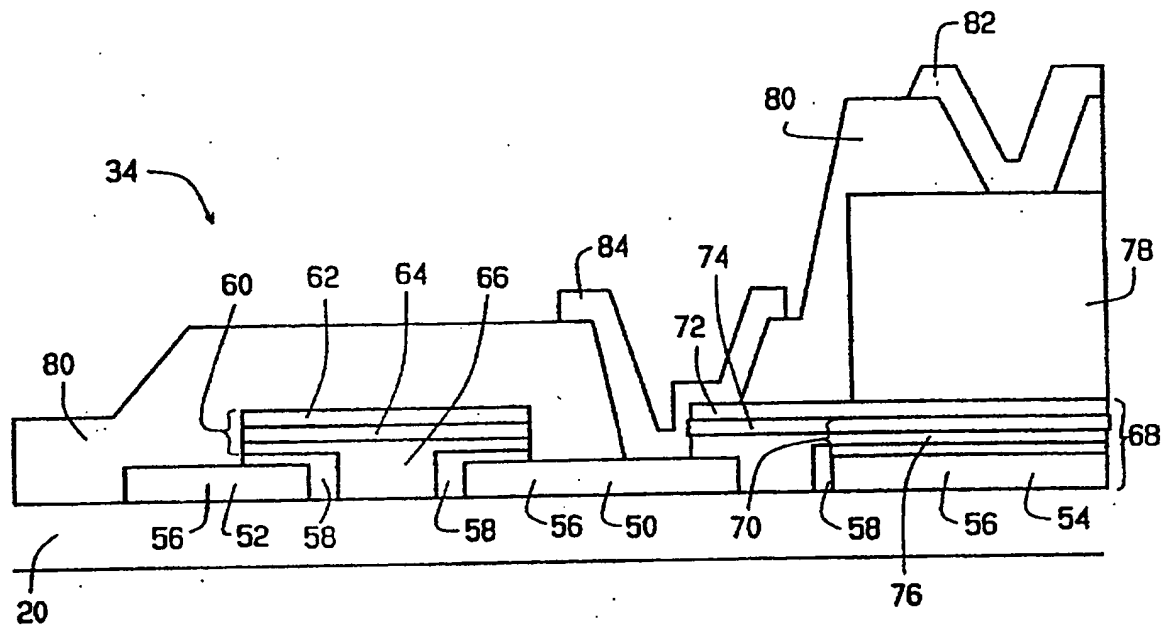


FIG. 3

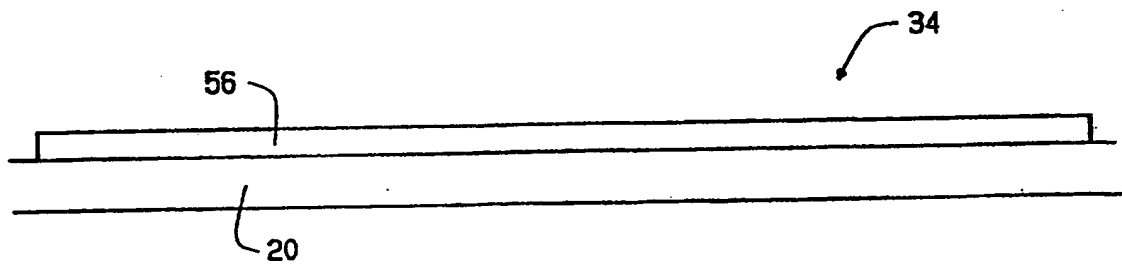


FIG. 4



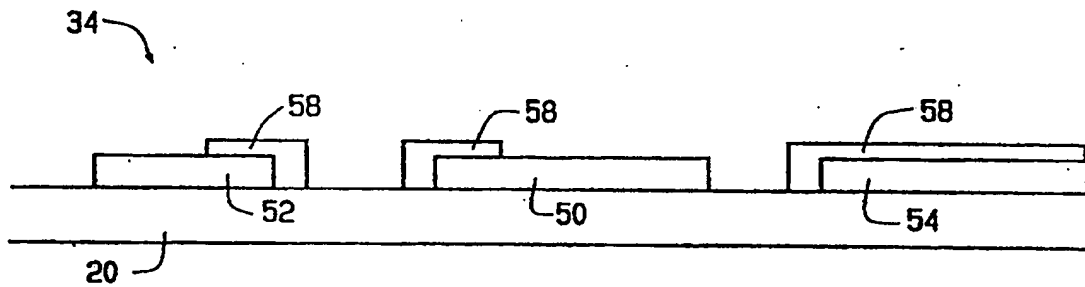


FIG. 5

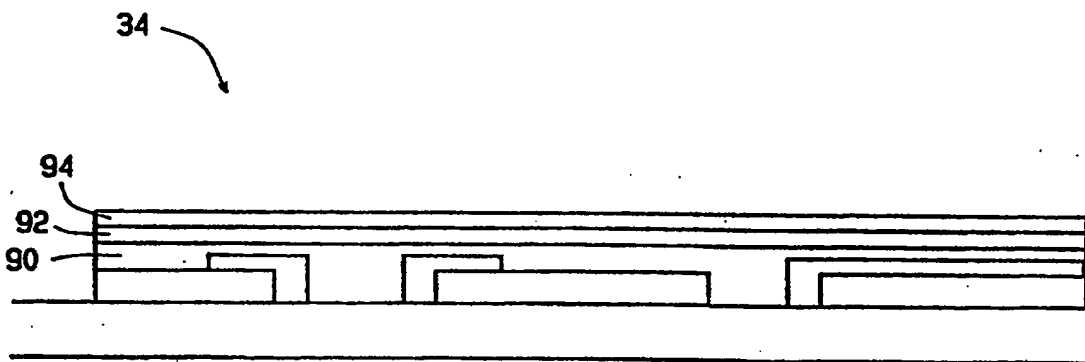


FIG. 6

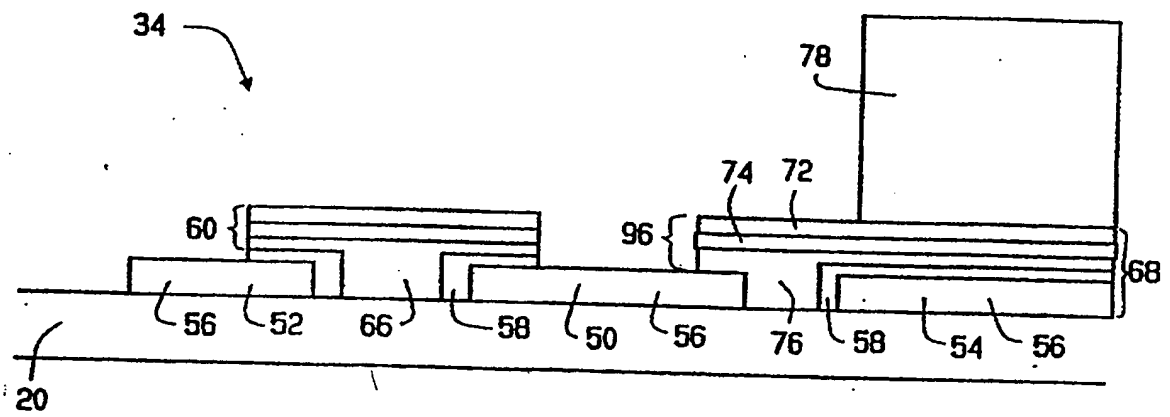


FIG. 7

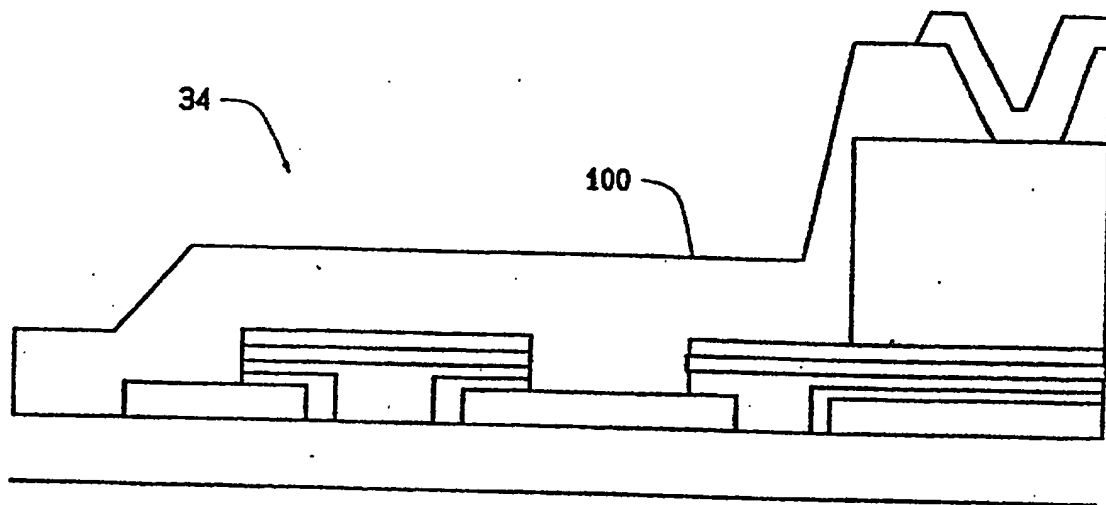


FIG. 8

